

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297840

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 21/82  
G06F 17/50  
H01L 27/04  
H01L 21/822

(21)Application number : 10-101198

(71)Applicant : NEC CORP

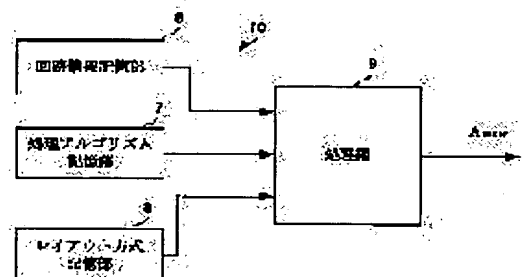
(22)Date of filing : 13.04.1998

(72)Inventor : FUJII TAKASHI

**(54) AREA PREDICATION METHOD AND SYSTEM OF SEMICONDUCTOR INTEGRATED CIRCUIT AND STORAGE MEDIUM THEREOF****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To accurately obtain the area of a minimum chip, by a method wherein data on an inner layout type of a chip is taken into consideration.

**SOLUTION:** Data on a layout type are used as parameters, and an overall length  $L$  of wiring is calculated in a processor 9 through a calculation formula where  $L$  is a function represented by a gate use rate  $u$  and the number  $G$  of gates, wherein the total number GALL of gates of a target circuit obtained through a circuit data memory 6 is substituted for the number  $G$ . A total wiring track volume  $T$  is calculated through a calculation formula where  $T$  is a function represented by a gate use rate  $u$  and the number  $G$  of gates, wherein the total number GALL of gates is substituted for the number  $G$  of gates, and a gate use rate  $u$  which satisfies a formula,  $L=T$ , is obtained as a gate use rate limit  $uLIMIT$ , where  $L$  and  $T$  are obtained through the calculation formulas of the overall length  $L$  of wiring and the total wiring track volume  $T$ , and the total number GALL of gates is substituted for the number  $G$  of gates. A minimum chip area  $AMIN$  where a target circuit can be built in is obtained on the basis of the gate use rate limit  $uLIMIT$ .

**LEGAL STATUS**

[Date of request for examination] 13.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3129282

[Date of registration] 17.11.2000

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 9 7 8 4 0

(43) 公開日 平成11年(1999)10月29日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

C

G 0 6 F 17/50

G 0 6 F 15/60

6 6 6 S

H 0 1 L 27/04

H 0 1 L 27/04

A

21/822

審査請求

有

請求項の数 8

O L

(全 1 5 頁)

(21) 出願番号

特願平10-101198

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日

平成10年(1998)4月13日

(72) 発明者 藤井 隆志

東京都港区芝五丁目7番1号 日本電気株式会社内

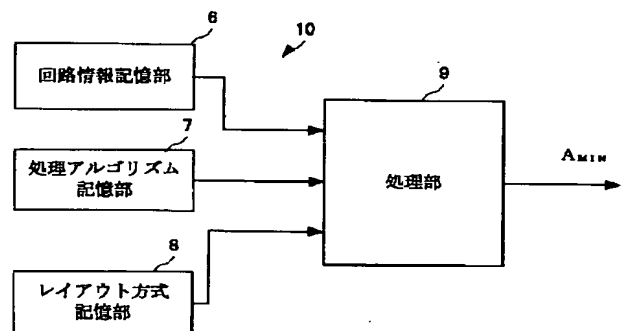
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体集積回路の面積予測方法、面積予測システムおよびその記録媒体

(57) 【要約】

【課題】 チップ内部のレイアウト方式に関する情報を考慮に入れることにより、より正確に最小チップ面積  $A_{MIN}$  を求める。

【解決手段】 処理部 9 において、レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に回路情報記憶部 6 より得られる対象回路の総ゲート数  $G_{ALL}$  を代入し、またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に前記総ゲート数  $G_{ALL}$  を代入し、この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  をゲート使用率の限界値  $u_{LIMIT}$  として求め、このゲート使用率の限界値  $u_{LIMIT}$  に基づいて対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求める。



## 【特許請求の範囲】

【請求項 1】 レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に対象回路の総ゲート数  $G_{ALL}$  を代入し、

またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に前記総ゲート数  $G_{ALL}$  を代入し、

この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  をゲート使用率の限界値  $u_{LIMIT}$  として求め、

このゲート使用率の限界値  $u_{LIMIT}$  に基づいて前記対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求めるようにしたことを特徴とする半導体集積回路の面積予測方法。

【請求項 2】 請求項 1 において、前記総配線長  $L$  の算出式は、 $L = f(u) \cdot G^{g(u)}$  で表されることを特徴とする半導体集積回路の面積予測方法。但し、 $f(u) = a \cdot u^b$ 、 $g(u) = c_6 \cdot u^6 + c_5 \cdot u^5 + c_4 \cdot u^4 + c_3 \cdot u^3 + c_2 \cdot u^2 + c_1 \cdot u + c_0$ 、 $u$  : ゲート使用率、 $a$ 、 $b$ 、 $c_6 \sim c_0$  : 採用するレイアウト方式に基づいて決まる定数。

【請求項 3】 請求項 1 において、前記総配線トラック量  $T$  の算出式は、 $T = (\text{セル列内部の利用可能トラック量 } T_{in}) + (\text{セル列外部の利用可能トラック量 } T_{out}) - (\text{電源線により使用不可能になるトラック量 } T_{power})$  で表されることを特徴とする半導体集積回路の面積予測方法。

【請求項 4】 請求項 1 において、前記レイアウト方式に関する情報としてセル列間隔  $ch$  が与えられなかった場合、

前記総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とがゲート使用率  $u$  を所定値  $u_{SP}$  としたときに  $L = T$  の関係を満足するセル列間隔  $ch$  をセル列間隔の最適値  $ch_{OPT}$  として求め、

この最適値  $ch_{OPT}$  をセル列間隔  $ch$  として設定した場合の前記対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求めるようにしたことを特徴とする半導体集積回路の面積予測方法。

【請求項 5】 請求項 1 において、最小チップ面積  $A_{MIN}$  を求めるべきチップの構造が、セル列間隔を設けずに並べた複数のセル列を 1 セル列段とし、このセル列段がセル列間隔を設けて複数並べた構造とされていることを特徴とする半導体集積回路の面積予測方法。

【請求項 6】 対象回路に含まれる既にレイアウト済みのブロックが用意されたマクロを除くセルをプリミティブセルとし、このプリミティブセルの総ゲート数  $G_{ALL}$  を、レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の

算出式に代入し、

またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に前記総ゲート数  $G_{ALL}$  を代入し、

この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  をゲート使用率の限界値  $u_{LIMIT}$  として求め、

このゲート使用率の限界値  $u_{LIMIT}$  に基づいて前記プリミティブセルをレイアウトする際に必要となる最小のトラック設定領域の面積  $A_{track}$  を求め、

このトラック設定領域の面積  $A_{track}$  に前記マクロの面積の総和  $A_{macro}$  をマージンを見込んで加算して全体のトラック設定領域の面積  $B_{track}$  を求め、

この全体のトラック設定領域の面積  $B_{track}$  に I/O パッファ領域の面積を加えて前記対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求めるようにしたことを特徴とする半導体集積回路の面積予測方法。

【請求項 7】 請求項 1 ～ 6 の何れか 1 項記載の半導体集積回路の面積予測方法を実行する処理アルゴリズムが格納された記録媒体。

【請求項 8】 対象回路の回路情報を記憶する回路情報記憶手段と、請求項 1 記載の半導体集積回路の面積予測方法を実行する処理アルゴリズムを記憶する処理アルゴリズム記憶手段と、

レイアウト方式に関する情報を記憶するレイアウト方式記憶手段と、

前記回路情報記憶手段に記憶されている対象回路の回路情報および前記レイアウト方式記憶手段に記憶されているレイアウト方式に関する情報を参照とし、前記処理アルゴリズム記憶手段に記憶されている処理アルゴリズムに従い、前記レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に対象回路の総ゲート数  $G_{ALL}$  を代入し、またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に前記総ゲート数  $G_{ALL}$  を代入し、この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  をゲート使用率の限界値  $u_{LIMIT}$  として求め、このゲート使用率の限界値  $u_{LIMIT}$  に基づいて前記対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求める処理手段とを備えたことを特徴とする半導体集積回路の面積予測システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、半導体集積回路（対象回路）をチップに作り込むにあたって、その半導体集積回路を作り込み得る最小のチップ面積（チップサイズ）をより正確に求め、営業活動に役立てることの可能な半導体集積回路の面積予測方法、面積予測システム

およびその記録媒体に関するものである。

#### 【0002】

【従来の技術】従来より、半導体集積回路の面積予測方法として、例えば特開平8-77225号公報に示されたようなものがある。この半導体集積回路の面積予測方法では、図12に示すように、対象回路に関する情報として回路データ1、機能セル面積データ2および外部設定条件データ3を、また対象回路に関する情報以外に必要とする情報として平均配線長データ（配線長とファンアウト数との関係式）4および面積形状依存データ（チップ面積を補正する係数：配線ツールが配線領域を利用する比率に関する補正係数C1、アスペクト（縦横比）比に関する補正係数C2、各辺上に配置される外部端子数に関する補正データ、単位セル幅当たりのフィードスルー数に関する補正データ）5を用意し、まず、対象回路のセルの総面積Sを計算する（ステップ111）。

【0003】そして、各セルiに関する配線長を求め、合計して総配線長Lを求める（ステップ112）。そして、配線面積Wを $W=L \times P \times C1$ より算出する（ステップ113：Pは配線ピッチ）。そして、ステップ114において、第1次チップ面積A1を $A1=S+W$ により計算し、第2次チップ面積A2を $A2=A1 \times C2$ により計算し、A2に対して外部端子およびフィードスルーに関する補正を行って、対象回路を作り込み得る最終チップ面積A（＝最小チップ面積 $A_{MIN}$ ）を求める。

#### 【0004】

【発明が解決しようとする課題】しかしながら、このような従来の半導体集積回路の面積予測方法によると、配線ツールが配線領域を利用する比率に関する補正係数C1やアスペクト比に関する補正係数C2、各辺上に配置される外部端子数に関する補正データ、単位セル幅当たりのフィードスルー数に関する補正データによって補正を行ってはいが、チップ内部のレイアウト方式に関する情報（セル列の構造、配線層の設定、電源配線の構造など）を全く考慮していないため、求められる最小チップ面積 $A_{MIN}$ の精度が悪いという問題があった。

【0005】なお、本出願人は、対象回路の総ゲート数 $G_{ALL}$ をゲート使用率uの予測式〔例えば、 $u = (0.7293 - 1 \times 10^{-8} \times G) \times 100\%$ 〕に代入してゲート使用率の限界値 $u_{LIMIT}$ を求め、このゲート使用率の限界値 $u_{LIMIT}$ に基づいて最小チップ面積 $A_{MIN}$ を求めるという方法をこれまで採用していた。

【0006】この場合、ゲート使用率uとは、 $u = (\text{実際に搭載するゲート数}G) / (\text{チップの搭載可能なゲート数}G^*)$ を言う。例えば、200万個のゲート数を搭載可能な13mm角のチップに対して、100万個のゲートから成る回路をレイアウトした場合、ゲート使用率uは1メガ/2メガ＝50〔%〕である。

【0007】また、ゲート使用率uの予測式である $u = (0.7293 - 1 \times 10^{-8} \times G) \times 100\%$ は、実際

にレイアウトした過去のデバイスの情報を用いてゲート数 $G_{ALL}$ とゲート使用率の限界値 $u_{LIMIT}$ との関係をグラフ上にプロットし、その中でも同じ $G_{ALL}$ に対する最も $u_{LIMIT}$ の大きいもの同士を直線で結んだものである（図13に示す特性I参照）。

【0008】この直線近似による方法は、実際、上述した特開平8-77225号公報に示された面積予測方法よりも優れていると考えられる。しかし、この方法では、図13に「×」点で示すように、ゲート数Gの増加つまりチップサイズの大規模化に伴い、破線で示す実特性IIよりもゲート使用率の限界値が大きくなり、実状とかけ離れた予測となってしまう。すなわち、これまでは直線近似で予測できると考えられていたが、ゲート数Gの増加に伴い配線割合が増し、実際のゲート使用率の限界値は特性IIのような変化を示している。この直線近似による方法でも、チップ内部のレイアウト方式に関する情報（セル列の構造、配線層の設定、電源配線の構造など）を考慮していないために、求められる最小チップ面積 $A_{MIN}$ の精度がゲート数Gの増加に伴って悪くなると言える。

【0009】本発明はこのような課題を解決するためになされたもので、その目的とするところは、チップ内部のレイアウト方式に関する情報を考慮に入れることにより、より正確に最小チップ面積 $A_{MIN}$ を求めることのできる半導体集積回路の面積予測方法、面積予測システムおよびその記録媒体を提供することにある。

#### 【0010】

【課題を解決するための手段】このような目的を達成するために、第1発明（請求1に係る発明）は、レイアウト方式に関する情報をパラメータとしゲート使用率u、ゲート数Gの関数で表される総配線長Lの算出式に対象回路の総ゲート数 $G_{ALL}$ を代入し、またゲート使用率uおよびゲート数Gの関数で表される総配線トラック量Tの算出式に前記総ゲート数 $G_{ALL}$ を代入し、この総ゲート数 $G_{ALL}$ が代入された総配線長Lの算出式と総配線トラック量Tの算出式とが $L=T$ の関係を満足するゲート使用率uをゲート使用率の限界値 $u_{LIMIT}$ として求め、このゲート使用率の限界値 $u_{LIMIT}$ に基づいて対象回路を作り込み得る最小チップ面積 $A_{MIN}$ を求めるようにしたものである。

【0011】この発明によれば、レイアウト方式に関する情報をパラメータとしゲート使用率u、ゲート数Gの関数で表される総配線長Lの算出式に対象回路の総ゲート数 $G_{ALL}$ が代入され、またゲート使用率uおよびゲート数Gの関数で表される総配線トラック量Tの算出式に対象回路の総ゲート数 $G_{ALL}$ が代入され、この総ゲート数 $G_{ALL}$ が代入された総配線長Lの算出式と総配線トラック量Tの算出式とが $L=T$ の関係を満足するゲート使用率uがゲート使用率の限界値 $u_{LIMIT}$ として求められ、このゲート使用率の限界値 $u_{LIMIT}$ に基づいて対象

回路を作り込み得る最小チップ面積 $A_{MIN}$ が求められる。

【0012】第2発明（請求項2に係る発明）は、第1発明において、総配線長 $L$ の算出式を、 $L = f(u) \cdot G^{g(u)}$ としたものである。但し、 $f(u) = a \cdot u^b$ 、 $g(u) = c_6 \cdot u^6 + c_5 \cdot u^5 + c_4 \cdot u^4 + c_3 \cdot u^3 + c_2 \cdot u^2 + c_1 \cdot u + c_0$ 、 $u$ ：ゲート使用率、 $a$ 、 $b$ 、 $c_6 \sim c_0$ ：採用するレイアウト方式に基づいて決まる定数。この発明によれば、 $L = f(u) \cdot G^{g(u)}$ なる式から総配線長 $L$ が求められる。

【0013】第3発明（請求項3に係る発明）は、第1発明において、総配線トラック量 $T$ の算出式を、 $T = (\text{セル列内部の利用可能トラック量} T_{in}) + (\text{セル列外部の利用可能トラック量} T_{out}) - (\text{電源線により使用不可能になるトラック量} T_{power})$ としたものである。この発明によれば、 $T = T_{in} + T_{out} - T_{power}$ なる式から総配線トラック量 $T$ が求められる。この場合、セル列数 $row$ と1列のセル列に存在するゲート数 $col$ （セル列に準備されているゲート数）が搭載可能ゲート数 $G^*$ の関数なので、チップ面積 $A$ に対する総配線トラック量 $T$ は $G^*$ の関数 $H^*$ （ $T = H^*(G^*)$ ）として導出でき、ゲート使用率 $u$ は $u = G/G^*$ で表されるから、総配線トラック量 $T$ はゲート数 $G$ およびゲート使用率 $u$ の関数 $H$ となる（ $T = H(G, u)$ ）。

【0014】第4発明（請求項4に係る発明）は、第1発明において、レイアウト方式に関する情報としてセル列間隔 $ch$ が与えられなかった場合、総ゲート数 $G_{ALL}$ が代入された総配線長 $L$ の算出式と総配線トラック量 $T$ の算出式とがゲート使用率 $u$ を所定値 $u_{SP}$ としたときに $L = T$ の関係を満足するセル列間隔 $ch$ をセル列間隔の最適値 $ch_{OPT}$ として求め、この最適値 $ch_{OPT}$ をセル列間隔 $ch$ として設定した場合の対象回路を作り込み得る最小チップ面積 $A_{MIN}$ を求めるようにしたものである。この発明によれば、レイアウト方式に関する情報としてセル列間隔 $ch$ が与えられなかった場合、総ゲート数 $G_{ALL}$ が代入された総配線長 $L$ の算出式と総配線トラック量 $T$ の算出式とがゲート使用率 $u$ を所定値 $u_{SP}$ （例えば、 $u_{SP} = 100\%$ ）としたときに $L = T$ の関係を満足するセル列間隔 $ch$ がセル列間隔の最適値 $ch_{OPT}$ として求められ、この最適値 $ch_{OPT}$ をセル列間隔 $ch$ として設定した場合の対象回路を作り込み得る最小チップ面積 $A_{MIN}$ が求められる。

【0015】第5発明（請求項5に係る発明）は、第1発明において、最小チップ面積 $A_{MIN}$ を求めるべきチップの構造を、セル列間隔を設けずに並べた複数のセル列を1セル列段とし、このセル列段をセル列間隔を設けて複数並べた構造としたものである。この発明によれば、複数のセル列からなるセル列段をセル列間隔を設けて複数並べた構造のチップについて、対象回路を作り込み得る最小チップ面積 $A_{MIN}$ が求められる。

【0016】第6発明（請求項6に係る発明）は、対象回路に含まれる既にレイアウト済みのブロックが用意されたマクロを除くセルをプリミティブセルとし、このプリミティブセルの総ゲート数 $G_{ALL}$ を、レイアウト方式に関する情報をパラメータとしゲート使用率 $u$ 、ゲート数 $G$ の関数で表される総配線長 $L$ の算出式に代入し、またゲート使用率 $u$ およびゲート数 $G$ の関数で表される総配線トラック量 $T$ の算出式に前記総ゲート数 $G_{ALL}$ を代入し、この総ゲート数 $G_{ALL}$ が代入された総配線長 $L$ の算出式と総配線トラック量 $T$ の算出式とが $L = T$ の関係を満足するゲート使用率 $u$ をゲート使用率の限界値 $u_{LIMIT}$ として求め、このゲート使用率の限界値 $u_{LIMIT}$ に基づいてプリミティブセルをレイアウトする際に必要となる最小のトラック設定領域の面積 $A_{track}$ を求め、このトラック設定領域の面積 $A_{track}$ にマクロの面積の総和 $A_{macro}$ をマージンを見込んで加算して全体のトラック設定領域の面積 $B_{track}$ を求め、この全体のトラック設定領域の面積 $B_{track}$ にI/Oバッファ領域の面積を加えて対象回路を作り込み得る最小チップ面積 $A_{MIN}$ を求めるようにしたものである。

【0017】この発明によれば、プリミティブセル（マクロを除くセル）の総ゲート数 $G_{ALL}$ がレイアウト方式に関する情報をパラメータとしゲート使用率 $u$ 、ゲート数 $G$ の関数で表される総配線長 $L$ の算出式に代入され、またゲート使用率 $u$ およびゲート数 $G$ の関数で表される総配線トラック量 $T$ の算出式にプリミティブセルの総ゲート数 $G_{ALL}$ が代入され、この総ゲート数 $G_{ALL}$ が代入された総配線長 $L$ の算出式と総配線トラック量 $T$ の算出式とが $L = T$ の関係を満足するゲート使用率 $u$ がゲート使用率の限界値 $u_{LIMIT}$ として求められ、このゲート使用率の限界値 $u_{LIMIT}$ に基づいてプリミティブセルをレイアウトする際に必要となる最小のトラック設定領域の面積 $A_{track}$ が求められる。そして、このトラック設定領域の面積 $A_{track}$ にマクロの面積の総和 $A_{macro}$ がマージンを見込んで加算されて全体のトラック設定領域の面積 $B_{track}$ が求められ、この全体のトラック設定領域の面積 $B_{track}$ にI/Oバッファ領域の面積が加えられ、対象回路を作り込み得る最小チップ面積 $A_{MIN}$ が求められる。

【0018】第7発明（請求項7に係る発明）は、記録媒体に第1～第6発明の半導体集積回路の面積予測方法を実行する処理アルゴリズムが格納したものである。この発明によれば、ROM等の記録媒体に格納された処理アルゴリズムによって、第1～第6発明の半導体集積回路の面積予測方法が実行される。

【0019】第8発明（請求項8に係る発明）は、対象回路の回路情報を記憶する回路情報記憶手段と、第1発明の半導体集積回路の面積予測方法を実行する処理アルゴリズムを記憶する処理アルゴリズム記憶手段と、レイアウト方式に関する情報を記憶するレイアウト方式記憶

手段と、回路情報記憶手段に記憶されている対象回路の回路情報およびレイアウト方式記憶手段に記憶されているレイアウト方式に関する情報を参照とし、処理アルゴリズム記憶手段に記憶されている処理アルゴリズムに従い、レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に対象回路の総ゲート数  $G_{ALL}$  を代入し、またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に総ゲート数  $G_{ALL}$  を代入し、この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  をゲート使用率の限界値  $u_{LIMIT}$  として求め、このゲート使用率の限界値  $u_{LIMIT}$  に基づいて対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求める処理手段とを設けたものである。

【0020】この発明によれば、レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に対象回路の総ゲート数  $G_{ALL}$  が代入され、またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に対象回路の総ゲート数  $G_{ALL}$  が代入され、この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  がゲート使用率の限界値  $u_{LIMIT}$  として求められ、このゲート使用率の限界値  $u_{LIMIT}$  に基づいて対象回路を作り込み得る最小チップ面積  $A_{MIN}$  が求められる。

#### 【0021】

【発明の実施の形態】以下、本発明を実施の形態に基づき詳細に説明する。図1はこの発明に係る半導体集積回路の面積予測方法が適用された面積予測システムの概略を示す図である。同図において、6は対象回路の回路情報を記憶する回路情報記憶部、7は本発明に係る半導体集積回路の面積予測方法を実行する処理アルゴリズムを記憶する処理アルゴリズム記憶部、8はレイアウト方式に関する情報（セル列の構造、配線層の設定、電源配線の構造など）を記憶するレイアウト方式記憶部、9は回路情報記憶部6に記憶されている対象回路の回路情報およびレイアウト方式記憶部8に記憶されているレイアウト方式に関する情報を参照とし、処理アルゴリズム記憶部7に記憶されている処理アルゴリズムに従って対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求める処理部である。

【0022】処理部9は、レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に回路情報記憶部6より得られる対象回路の総ゲート数  $G_{ALL}$  を代入し、またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に前記総ゲート数  $G_{ALL}$  を代入し、この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式

と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  をゲート使用率の限界値  $u_{LIMIT}$  として求め、このゲート使用率の限界値  $u_{LIMIT}$  に基づいて対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求める。

【0023】この面積予測システム10では、チップ内部のレイアウト方式に関する情報（セル列の構造、配線層の設定、電源配線の構造など）を考慮しているので、求められる最小チップ面積  $A_{MIN}$  の精度が良くなる。

【0024】なお、対象回路の総ゲート数  $G_{ALL}$  は、回路情報記憶部6に回路情報としてネットリスト  $N$  を記憶させておき、このネットリスト  $N$  から求める。この他、回路情報としてネットリスト  $N$  ではなく、ゲート数  $G_{ALL}$  のみを与える場合もある。

【0025】以下、この面積予測システム10に採用されている面積予測方法について、具体的に説明する。

【0026】図3にチップ構造を示す。同図において、11はセル列、12はこのセル列中のゲート、13はセル列設定領域、14はトラック設定領域、15は横バス電源配線、16は縦バス電源配線、17は周回電源配線、18はI/Oバッファ、19は周回部分である。横バス電源配線15はセル内部に埋め込まれている。周回部分19はセル列設定領域13の外縁からトラック設定領域14の外縁までの間の領域である。

#### 【0027】〔0. 準備〕

(1) 面積を予測する際に与えられる項目

①対象回路のゲート数： $G$

②レイアウト方式に関する情報（以下の項目はレイアウト方式に依存する値）

a) ゲートのサイズ

高さ： $h$

幅： $w$

b) 信号配線に使用する配線層： $M_i$  ( $1 \leq i \leq m$  : 配線層数= $m$ )

c) 各配線層のトラック幅： $t_i$

d) セル列設定領域の外縁からトラック設定領域の外縁までの間隔

上下方向： $peri_{TB}$

左右方向： $peri_{LR}$

【0028】e) 電源配線の敷設方法に関する値  
周回電源配線の使用する配線層

周回電源配線の配線層ごとの配線幅

縦バス電源配線の配線層

縦バス電源配線の配線層ごとの配線幅

縦バス電源配線の間隔

横バス電源配線の配線層

横バス電源配線の配線幅

f) I/Oバッファのサイズ： $BUFF$

g) セル列の間隔： $ch$

【0029】③使用する配線ツールに関する情報

a) セル列内部の領域において、配線層Miの配線トラックを消費する割合： $r_{in}(i)$

b) セル列以外の領域において、配線層Miの配線トラックを消費する割合： $r_{out}(i)$

【0030】例えば、図2において、M1層トラック、M2層トラックに対して、M1層配線、M2層配線が図のように形成されるものとすれば、M1層のトラック量 $=6 \times 5 = 30$ 単位、M2層のトラック量 $=6 \times 5 = 30$ 単位、M1層の配線が消費したトラック量 $=4 + 4 + 5 + 2 + 3 + 2 = 20$ 単位、M2層の配線が消費したトラック量 $=6 + 2 + 2 + 1 + 3 + 4 = 18$ 単位となり、M1層のトラック消費率 $=20 / 30 = 67\%$ 、M2層のトラック消費率 $=18 / 30 = 60\%$ となる。

【0031】(2) 求める項目

①最小チップ面積： $A_{MIN}$

②ゲート使用率の限界値： $u_{LIMIT}$

③セル列間隔の最適値(セル列間隔 $c_h$ が与えられない\*

①チップ面積

$$A = (W_{track} + 2 \cdot BUFF) \cdot (H_{track} + 2 \cdot BUFF) = (W_{cell} + 2 \cdot peri_{LR} + 2 \cdot BUFF) \cdot (H_{cell} + 2 \cdot peri_{TB} + 2 \cdot BUFF) \quad \dots (1)$$

②セル列設定領域のサイズ

$$H_{cell} = row \cdot h + (row - 1) \cdot c_h \quad \dots (2)$$

$$W_{cell} = col \cdot w \quad \dots (3)$$

③搭載可能なゲート数

$$G^* = row \cdot col \quad \dots (4)$$

④セル列数、セル列内ゲート数

【0034】一般に、セル列設定領域は、正方形となるように設定されている(ウェハから切り出すとき正方形だと無駄が出ない)。よって、

$$row = [c_h + \{c_h^2 + 4 \cdot w \cdot (h + c_h) \cdot G^*\}^{1/2}] / \{2 \cdot (h + c_h)\} \quad \dots (6)$$

$$col = [-c_h + \{c_h^2 + 4 \cdot w \cdot (h + c_h) \cdot G^*\}^{1/2}] / (2 \cdot w) \quad \dots (7)$$

【0035】

⑤周回部分の面積

$$S_{peri} = 2 \cdot \{peri_{TB} \cdot (W_{cell} + 2 \cdot peri_{LR}) + peri_{LR} \cdot H_{cell}\} \quad \dots (8)$$

⑥チップ面積Aと搭載可能ゲート数 $G^*$ の関係

(2), (3), (6), (7)式から、セル列設定領域のサイズは $G^*$ の関数として表すことができる。間隔 $peri_{TB}$ 及び $peri_{LR}$ は、レイアウト方式の仕様の中で、チップ面積Aの関数として規定されている。従って、(1)式から、チップ面積Aは搭載可能ゲート数 $G^*$ の関数 $s$ となる。

$$A = s(G^*) \quad \dots (9)$$

同様に、周回部分の面積 $S_{peri}$ も $G^*$ の関数 $q$ として与えられる。

$$S_{peri} = q(G^*) \quad \dots (10)$$

【0036】[1. 総配線長Lの予測式]

(1) 回路(ネットリストN)に対する総配線長を求める一般式

インスタンスセル間の平均距離 $g$ を単位として(図4参

\*場合)： $c_{h_{opt}}$

【0032】(3) 面積Aを持つチップの構造に関する関係式

$G^*$ ：搭載可能なゲート数(セル列に準備されているゲートの総数)

$H_{track}$ ：トラック設定領域の高さ

$W_{track}$ ：トラック設定領域の幅

$row$ ：セル列の数

$col$ ：1列のセル列に存在するゲート数

$H_{cell}$ ：セル列設定領域の高さ

$W_{cell}$ ：セル列設定領域の幅

$S_{peri}$ ：周回部分の面積

$peri_{TB}$ ：セル列設定領域からトラック設定領域までの上下方向の間隔

$peri_{LR}$ ：セル列設定領域からトラック設定領域までの左右方向の間隔

【0033】

※ $H_{cell} = W_{cell} \quad \dots (5)$

(2)~(5)式より、セル列内のゲート数 $col$ とセル列数

※ $row$ は、 $G^*$ を用いて次式によって表せる。

照)、任意の回路(ネットリストN)に対する総配線長 $L_g$ を求める算出式(本出願人がこれまで採用してきた式：従来の予測式、参考文献：J.A.Davis, V.K.De and J.D.Meindl, "Priori wiring estimations and optimal multilevel wiring networks for portable ULSI systems," Proc. Electronic Components and Technology Conf., pp.1002-1008, 1996)

$$L_g = h(N, p) \quad [\text{単位: } g]$$

ここで、 $p$ はレイアウト方式に依存しないパラメータである。 $p$ の値は、過去のレイアウトデータを統計処理して算出している(現在、約30データから $p = 0.7 \sim 0.8$ を得ている)。

【0037】(2) トラック間隔に基づいた総配線長の変換

インスタンスセル間の平均距離  $g$  をトラック間隔を単位として表した値を  $g_t$  とする。  $g_t$  はレイアウト方式の仕様に含まれるトラック間隔が判明した段階で求めることができる。あるトラック間隔  $t$  における平均距離  $g$  の値が分かっているれば、別のトラック間隔  $t'$  における平均距離  $g'$  は  $g$  の値から、例えば単純な線形変換 ( $g' = (t' / t) \cdot g$ ) を行うことによって求められる。

【0038】 (3) ゲート数  $G$  から成る回路の総配線長  $L$  の予測式

レイアウト方式情報が与えられた段階で、パラメータ  $p$  10 を求める際に用いた各レイアウトデータに対して総配線長  $L_g \cdot g_p$  を計算し、統計処理により、次の総配線長  $L$  の予測式 (本願の予測式) を求める。

$$L = f(u) \cdot G^{e(u)} \quad [\text{単位: } \mu\text{m}]$$

..... (11)

$$f(u) = a \cdot u^b$$

$$g(u) = c_6 \cdot u^6 + c_5 \cdot u^5 + c_4 \cdot u^4 + c_3 \cdot u^3 + c_2 \cdot u^2 + c_1 \cdot u + c_0$$

$$T_{in} = \sum_i (r_{in}(i) \cdot T_{in}(i)) = row \cdot col \cdot h \cdot w \cdot \sum_i (r_{in}(i) / t_i) \quad \dots (12)$$

【0041】 (2) セル列以外の部分の利用可能トラック量  $T_{out}$

配線層  $M_i$  のセル列外部の利用可能トラック量  $T_{out}$  ※

$$T_{out} = \sum_i (r_{out}(i) \cdot T_{out}(i)) = \{ (row - 1) \cdot ch \cdot col \cdot w + S_{peri} \} \cdot \sum_i (r_{out}(i) / t_i) \quad \dots (13)$$

【0042】 (3) 電源線のために使用不可能になるトラック量  $T_{power}$

トラック量  $T_{power}$  は、以下の項目及びセル列設定領域のサイズを用いて算出する。

- ・ 周回電源配線の使用する配線層
- ・ 周回電源配線の配線層ごとの配線幅
- ・ 縦バス電源配線の配線層
- ・ 縦バス電源配線の配線層ごとの配線幅
- ・ 縦バス電源配線の間隔
- ・ 横バス電源配線 (セル内部に埋め込まれている) の配線層
- ・ 横バス電源配線の配線幅

【0043】 例えば、縦バス電源配線に関して、配線層  $M$  を用いて配線幅  $x$ 、間隔  $d$  で敷設する場合、電源配線によって使用不可能になる配線層  $M$  のトラック量  $T_v$  40 は、 $T_v = (W_{cell} / d - 1) \cdot (x / t) \cdot H_{cell}$  となる。

【0044】 上述の項目は、レイアウト方式の仕様の中で、チップ面積  $A$  の関数として規定されている。チップ面積  $A$  は搭載可能ゲート数  $G^*$  の関数である (9) 式参照)。 (6)、(7) 式からセル列数  $row$  とセル列内のゲート数  $col$  は  $G^*$  の関数なので、(2)、(3) 式より、セル設定領域のサイズ  $H_{cell}$ 、 $W_{cell}$  も  $G^*$  の関数である。従って、電源線のために使用不可能になるトラック量  $T_{power}$  は搭載可能ゲート数  $G^*$  の関数  $e$  として表すこと 50

\* ここで、

$u$  : ゲート使用率

$a, b, c_0 \sim c_6$  : 採用するレイアウト方式に基づいて決まる定数

【0039】 なお、(11) 式の定数  $a, b, c_0 \sim c_6$  はレイアウト方式に依存した値である。同じレイアウト方式による対象回路には同じ値を用いる。レイアウト方式情報に定数を含めておく。新規のレイアウト方式に対しては定数を新たに求める必要がある。

【0040】 [2. 面積  $A$  のチップ (搭載可能ゲート数  $= G^*$ ) に対する総配線トラック量  $T$  の予測式]

$T = (\text{セル列内部の利用可能トラック量 } T_{in}) + (\text{セル列外部の利用可能トラック量 } T_{out}) - (\text{電源線により使用不可能になるトラック量 } T_{power})$

(1) セル列内部の利用可能トラック量  $T_{in}$

配線層  $M_i$  のセル列内部の利用可能トラック量  $T_{in}(i)$

$$T_{in}(i) = r_{in}(i) \cdot row \cdot col \cdot h \cdot w / t_i$$

利用可能トラック量  $T_{in}$

※ (i)

$$T_{out}(i) = r_{out}(i) \cdot (row - 1) \cdot ch \cdot col \cdot w / t_i + S_{peri} / t_i$$

利用可能トラック量  $T_{out}$

ができる。

$$T_{power} = e(G^*) \quad \dots (14)$$

【0045】 (4) 総配線トラック量  $T$

$row$  と  $col$  が  $G^*$  の関数なので (6)、(7) 式参

照)、(12)~(14) 式から面積  $A$  のチップ (搭載可能ゲート数  $= G^*$ ) に対する総配線トラック量  $T$  は  $G^*$  の関数  $H^*$  として導出できる。

$$T = H^*(G^*) \quad \dots (15)$$

【0046】 今、ゲート数  $G$  から成る回路を面積  $A$  のチップにレイアウトする場合を仮定する。このときゲート使用率  $u = G / G^*$  で表される。よって、(15) 式より、総配線トラック量  $T$  はゲート数  $G$  及びゲート使用率  $u$  の関数  $H$  となる。

$$T = H(G, u) \quad \dots (16)$$

【0047】 [3. チップ面積の計算]

(1) 限界条件

ゲート数  $G$  の対象回路を面積  $A$  のチップ上にレイアウトする場合を考える。次の条件を満たすとき、チップ上に存在する配線トラックを限界まで消費した状態に対応する。

回路の総配線長  $L =$  チップ上の利用可能な総配線トラック量  $T$

【0048】 (2) ゲート使用率の限界値  $u_{LIMIT}$

限界条件に (11) 式及び (16) 式を代入することによって、

$$f(u) \cdot G^{e(u)} = H(G, u) \quad \dots (17)$$



が得られる。これを満足するゲート使用率 $u$ の値がゲート数 $G$ から成る回路をレイアウトする際のゲート使用率の限界値 $u_{LIMIT}$ である。(17)式において未知数は $u$ のみである。従って、(17)式を $u$ について解けば(ニュートン法などで解く)、 $u_{LIMIT}$ が求まる。

【0049】(3) 最小チップ面積 $A_{MIN}$   
最小面積のチップに搭載可能なゲート数 $G^*$ は  
 $G^* = G / u_{LIMIT} \dots (18)$   
である。よって、(9)式より、最小チップ面積 $A_{MIN}$ は、

$A_{MIN} = s(G^*) = s(G / u_{LIMIT}) \dots (19)$   
によって求まる。

【0050】【予測処理の概略フロー】

(1) 既存のレイアウト方式における予測

図5に既存のレイアウト方式における予測を行う場合のフローチャートを示す。すなわち、前提として、(11)式の定数が既に求まっている((11)式の定数がレイアウト方式情報に含まれる)場合のフローチャートを示す。

【0051】この予測処理では、回路情報20(ネットリストN)に含まれる各セルに関して、ライブラリ情報21からゲート数を求め、回路全体の総ゲート数 $G_{ALL}$ を求める(ステップ501)。なお、回路情報20として、ネットリストNではなく、ゲート数 $G_{ALL}$ のみを与える場合もある。

【0052】そして、レイアウト方式情報22および配線ツール情報23より、(17)式のパラメータの値を設定する(ステップ502)。そして、(17)式をゲート使用率 $u$ について解き、ゲート使用率の限界値 $u_{LIMIT}$ を求める(ステップ503)。そして、この求めたゲート使用率の限界値 $u_{LIMIT}$ の値を(19)式に代入し、対象回路を作り込み得る最小チップ面積 $A_{MIN}$ を求める(ステップ504)。

【0053】(2) 新規のレイアウト方式における予測  
図6に新規のレイアウト方式における予測を行う場合のフローチャートを示す。すなわち、前提として、(11)式の定数が未知である((11)式の定数がレイアウト方式情報に含まれていない)場合のフローチャートを示す。

【0054】この予測処理では、既存のレイアウト方式に関する総配線長の予測式((11)式)に対して、トラック間隔に基づいた変換を行い、新規のレイアウト方式に関する総配線長予測式の定数 $a'$ 、 $b'$ 、 $c_0'$ ～ $c_n'$ を求める(ステップ601)。この場合、基本的に、定数 $a$ の値のみに対して変換を行う。

【0055】そして、回路情報20(ネットリストN)に含まれる各セルに関して、ライブラリ情報21からゲート数を求め、回路全体の総ゲート数 $G_{ALL}$ を求める(ステップ602)。なお、回路情報20として、ネットリストNではなく、ゲート数 $G_{ALL}$ のみを与える場合

もある。

【0056】そして、レイアウト方式情報22および配線ツール情報23より、(17)式のパラメータの値を設定する(ステップ603)。そして、(17)式をゲート使用率 $u$ について解き、ゲート使用率の限界値 $u_{LIMIT}$ を求める(ステップ604)。そして、この求めたゲート使用率の限界値 $u_{LIMIT}$ の値を(19)式に代入し、対象回路を作り込み得る最小チップ面積 $A_{MIN}$ を求める(ステップ605)。

10 【0057】(3) マクロが存在する場合の予測

図7にマクロ(既にレイアウトが用意されたブロック)が存在する場合のフローチャートを示す。この場合、回路情報20(ネットリストN)に存在する各マクロの面積をライブラリ情報21から求め、マクロの面積の総和 $A_{macro}$ を求める(ステップ701)。

【0058】そして、回路情報20(ネットリストN)に含まれる各セル(マクロを除く)に関して、ライブラリ情報21からゲート数を求め、回路全体(マクロを除く)の総ゲート数 $G_{ALL}$ を求める(ステップ702)。すなわち、対象回路に含まれるマクロを除くセルをプリミティブセルとし、このプリミティブセルの総ゲート数 $G_{ALL}$ を求める。なお、回路情報20として、ネットリストNではなく、プリミティブセルの総ゲート数 $G_{ALL}$ およびマクロの個数と各マクロのサイズのみを与える場合もある。

【0059】そして、レイアウト方式情報22および配線ツール情報23より、(17)式のパラメータの値を設定し(ステップ703)、(17)式をゲート使用率 $u$ について解き、ゲート使用率の限界値 $u_{LIMIT}$ を求める(ステップ704)。そして、この求めたゲート使用率の限界値 $u_{LIMIT}$ の値を(19)式に代入し、プリミティブセルをレイアウトする際に必要となる最小のトラック設定領域(図8(a)に示す24)の面積 $A_{track}$ を求める(ステップ705)。

【0060】そして、このトラック設定領域24の面積 $A_{track}$ に $(1+\beta) \cdot A_{macro}$ を加算し(図8(b)参照)、全体のトラック設定領域(図8(c)に示す25)の面積 $B_{track}$ ( $B_{track} = A_{track} + (1+\beta) \cdot A_{macro}$ )を求める(ステップ706)。ここで、 $\beta$ は経験に基づいてユーザが設定するパラメータであり、 $\beta$ によってマクロとマクロとの間およびマクロとセル列の間に生じる無駄な隙間の領域(マージン)を考慮する。

【0061】そして、全体のトラック設定領域25のサイズを $H_{track} = W_{track} = (B_{track})^{1/2}$ として、(1)式を用いて対象回路を作り込み得る最小チップ面積 $A_{MIN}$ を求める。すなわち、全体のトラック設定領域25の面積 $B_{track}$ にI/Oバッファ領域の面積を加えて対象回路を作り込み得る最小チップ面積 $A_{MIN}$ を求める。

【0062】なお、図3には、1つのセル列11を1つ

のセル列段とし、このセル列段をセル列間隔  $c_h$  を設けて複数並べたチップ構造を示したが、図 9 に示すように、セル列間隔を設けずに並べた 2 つのセル列 1 1 を 1 つのセル列段 2 6 とし、このセル列段 2 6 をセル列間隔  $c_h$  を設けて複数並べたチップ構造としてもよい。この構造では、横バス電源配線を共有として、横バス電源配線の面積を削減することが可能となる。このような構造でも、上述と同様にして、総配線トラック量  $T$  を計算することが可能であり、上述した予測方法を適用できる。図 8 はこの構造でマクロが存在する場合を示している。

【0063】〔セル列間隔  $c_h$  がレイアウト方式に関する情報として与えられていない場合〕上述においては、セル列間隔  $c_h$  がレイアウト方式に関する情報として与えられている場合について説明したが、セル列間隔  $c_h$  がレイアウト方式に関する情報として与えられなかった場合には次のようにして予測を行う。

【0064】すなわち、ゲート使用率  $u = 100 [\%]$  を実現できたとき、チップサイズが最小になるのは明らかである。そこで、(17) 式において、ゲート使用率  $u = 100 [\%]$  とおき、セル列間隔  $c_h$  について解く。このとき求まる  $c_h$  の値がセル列間隔の最適値  $c_{hOPT}$  である。(19) 式において、 $u_{LIMIT}$  を  $100 [\%]$  とし、最適値  $c_{hOPT}$  の値を代入することによって、最適なセル列間隔  $c_h$  を設定した場合の最小チップ面積  $A_{MIN}$  を求める。

【0065】すなわち、総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とがゲート使用率  $u$  を  $100 \%$  ( $u_{SP} = 100 \%$ ) としたときに  $L = T$  の関係を満足するセル列間隔  $c_h$  をセル列間隔の最適値  $c_{hOPT}$  として求め、この最適値  $c_{hOPT}$  をセル列間隔  $c_h$  として設定した場合の最小チップ面積  $A_{MIN}$  を求める。

【0066】なお、実際のレイアウトにおいて、ゲート使用率を  $100 \%$  に設定するのは困難である。これまでの経験から、限界値と考えられる（期待できる）値を設定し（例えば  $95 [\%]$ ）、セル列間隔の最適値  $c_{hOPT}$  を求めることになる。

【0067】〔考慮すべき項目〕実際に対象回路のゲート数  $G$  から最小チップ面積などを予測する場合、次の項目を考慮して、最初のターゲットサイズを決める必要がある。

- ①対象回路のレイアウトを担当する技術者の熟練度。
- ②レイアウト設計期間（設計期間に余裕があり、配置・配線処理を繰り返せる回数が多いほど、チップサイズの最小化が図られる）。
- ③タイミング制約の厳しさ。一般に、セル間の伝搬時間および配線に関する遅延時間の最小化を優先する場合、チップサイズが増大する傾向にある。よって、回路に対するタイミング制約が厳しい場合（伝搬時間および遅延時間の最小化を優先する場合）、チップサイズの縮小化

が犠牲になる。タイミング制約の厳しさを測る尺度の例として、クロック周波数がある。この値が高いほど、タイミング制約が厳しくなる。

【0068】〔考慮すべき項目の取り扱い〕考慮すべき上記 3 つの項目①、②、③を「設計に関する条件」として、ユーザが指定する。設計に関する 3 つの条件に対して、いくつかのレベルをユーザに指定してもらい、そのレベルに応じて、係数  $\alpha$  を決める。求めた最小チップ面積  $A_{MIN}$  に係数  $\alpha$  を掛けた値を、設計条件を考慮した際の最小チップ面積  $A_{MIN}\alpha$  として求める。

【0069】レベル分けの例を図 10 に示す。例えば、レベル = 1 の場合には、 $\alpha = 1.0$ 、レベル = 0 の場合には、 $\alpha = 1.05$ 、レベル = 2 の場合には、 $\alpha = 0.95$  とし、各項目の  $\alpha$  の平均値を最小チップ面積に  $A_{MIN}$  に掛ける。このようにして求めたチップ面積  $A_{MIN}\alpha$  を「設計に関する条件を考慮した場合のチップサイズ」とする。

【0070】〔予測結果〕図 11 に本出願人がこれまで採用していた予測方法との比較を示す。同図において、従来予測として示したものが本出願人がこれまで採用していた予測方法（直線近似による方法）による予測結果である。なお、図 11 では、最小チップ面積  $A_{MIN}$  の代わりにトラック設定領域のサイズを示している。トラック設定領域サイズとは、図 3 でいう BUFFER 部分を除いた部分である。両データ（DATA 3、DATA 4）共に、実測値（実際にレイアウトした結果）に対して従来予測では小さすぎる面積予測であり、実状に合わない予測になっている。これに対して、本願の予測方法では実測値よりも大きな面積予測であり、より実状にあった予測となっている。

【0071】

【発明の効果】以上説明したことから明らかなように本発明によれば、レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に対象回路の総ゲート数  $G_{ALL}$  を代入し、またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に前記総ゲート数  $G_{ALL}$  を代入し、この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  をゲート使用率の限界値  $u_{LIMIT}$  として求め、このゲート使用率の限界値  $u_{LIMIT}$  に基づいて対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求めるようにしたので、チップ内部のレイアウト方式に関する情報を考慮に入れて、より正確に最小チップ面積  $A_{MIN}$  を求めることができるようになる。

【0072】また、本発明によれば、レイアウト方式に関する情報としてセル列間隔  $c_h$  が与えられなかった場合、総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とがゲート使用率  $u$  を所定値  $u_{SP}$ （例えば、 $u_{SP} = 100 \%$ ）としたときに  $L =$

T の関係を満足するセル列間隔  $c_h$  がセル列間隔の最適値  $c_{hOPT}$  として求められ、この最適値  $c_{hOPT}$  をセル列間隔  $c_h$  として設定した場合の対象回路を作り込み得る最小チップ面積  $A_{MIN}$  が求められるものとなり、レイアウト方式に関する情報としてセル列間隔  $c_h$  が与えられない場合でも、対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求めることができるようになる。

【0073】また、本発明によれば、プリミティブセル（マクロを除くセル）の総ゲート数  $G_{ALL}$  がレイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に代入され、またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式にプリミティブセルの総ゲート数  $G_{ALL}$  が代入され、この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  がゲート使用率の限界値  $u_{LIMIT}$  として求められ、このゲート使用率の限界値  $u_{LIMIT}$  に基づいてプリミティブセルをレイアウトする際に必要となる最小のトラック設定領域の面積  $A_{track}$  が求められ、このトラック設定領域の面積  $A_{track}$  にマクロの面積の総和  $A_{macro}$  がマージンを見込んで加算されて全体のトラック設定領域の面積  $B_{track}$  が求められ、この全体のトラック設定領域の面積  $B_{track}$  に I/O パッファ領域の面積が加えられ、対象回路を作り込み得る最小チップ面積  $A_{MIN}$  が求められるものとなり、対象回路に既にレイアウト済みのブロックが存在する場合にも正確に対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求めることができるようになる。

【0074】なお、本発明において、対象回路の総ゲート数  $G_{ALL}$  は、回路情報としてネットリストを記憶させておき、このネットリストから求める方法や、回路情報としてネットリストではなく、ゲート数  $G_{ALL}$  のみを与える方法などを採用することが考えられる。

【0075】また、本発明では、総配線長  $L$  の算出式を  $L = f(u) \cdot G^{g(u)}$  とすることにより（但し、 $f(u) = a \cdot u^b$ 、 $g(u) = c_6 \cdot u^6 + c_5 \cdot u^5 + c_4 \cdot u^4 + c_3 \cdot u^3 + c_2 \cdot u^2 + c_1 \cdot u + c_0$ 、 $u$  : ゲート使用率、 $a$ 、 $b$ 、 $c_6 \sim c_0$  : 採用するレイアウト方式に基づいて決まる定数）、また総配線トラック量  $T$  の算出式を  $T = (\text{セル列内部の利用可能トラック量 } T_{in}) + (\text{セル列外部の利用可能トラック量 } T_{out}) - (\text{電源線により使用不可能になるトラック量 } T_{power})$  とすることにより、より実現性が増し、対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を正確に求めることができる。

【0076】また、本発明では、対象回路の回路情報を記憶する回路情報記憶手段と、第 1 発明の半導体集積回路の面積予測方法を実行する処理アルゴリズムを記憶する処理アルゴリズム記憶手段と、レイアウト方式に関する情報を記憶するレイアウト方式記憶手段と、回路情報

記憶手段に記憶されている対象回路の回路情報およびレイアウト方式記憶手段に記憶されているレイアウト方式に関する情報を参照とし、処理アルゴリズム記憶手段に記憶されている処理アルゴリズムに従い、レイアウト方式に関する情報をパラメータとしゲート使用率  $u$ 、ゲート数  $G$  の関数で表される総配線長  $L$  の算出式に対象回路の総ゲート数  $G_{ALL}$  を代入し、またゲート使用率  $u$  およびゲート数  $G$  の関数で表される総配線トラック量  $T$  の算出式に総ゲート数  $G_{ALL}$  を代入し、この総ゲート数  $G_{ALL}$  が代入された総配線長  $L$  の算出式と総配線トラック量  $T$  の算出式とが  $L = T$  の関係を満足するゲート使用率  $u$  をゲート使用率の限界値  $u_{LIMIT}$  として求め、このゲート使用率の限界値  $u_{LIMIT}$  に基づいて対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を求める処理手段とを設けることにより、半導体集積回路の面積予測システムが構成され、対象回路の回路情報（ネットリスト  $N$  や総ゲート数  $G_{ALL}$ ）を与えるのみで、対象回路を作り込み得る最小チップ面積  $A_{MIN}$  を正確に求めることができる。

【図面の簡単な説明】

【図 1】 本発明に係る半導体集積回路の面積予測方法が適用された面積予測システムの概略を示す図である。

【図 2】 トラック消費率を説明する図である。

【図 3】 対象回路を作り込もうとするチップ構造を例示する図である。

【図 4】 インスタンスセル間の平均距離  $g$  を示す図である。

【図 5】 既存のレイアウト方式における予測を行う場合のフローチャートを示す図である。

【図 6】 新規のレイアウト方式における予測を行う場合のフローチャートを示す図である。

【図 7】 マクロが存在する場合のフローチャートを示す図である。

【図 8】 マクロが存在する場合の予測過程を説明する図である。

【図 9】 対象回路を作り込もうとするチップ構造の他の例を示す図である。

【図 10】 設計に関する 3 つの条件①、②、③に対するレベル分けの例を示す図である。

【図 11】 従来予測（本出願人がこれまで採用していた直線近似による予測方法）との比較を示す図である。

【図 12】 特開平 8 - 7 7 2 2 5 号公報に示された従来の予測方法を説明するためのフローチャートである。

【図 13】 直線近似による予測方法ではゲート数  $G$  の増加に伴い実状とかけ離れた予測となってしまう状況を説明する図である。

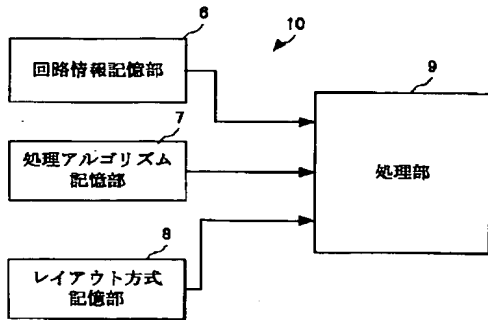
【符号の説明】

1 … 回路データ、2 … 機能セル面積データ、3 … 外部設定条件データ、4 … 平均配線長データ、5 … 面積形状依存データ、6 … 回路情報記憶部、7 … 処理アルゴリズム、8 … レイアウト方式記憶部、9 … 処理部、10 … 面

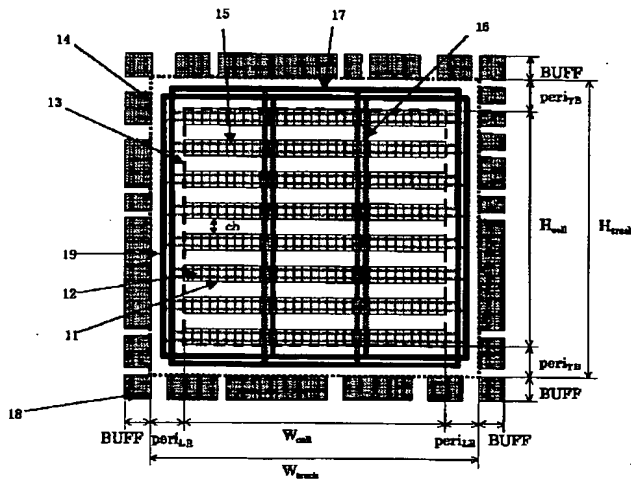
19

積予測システム、11…セル列、12…ゲート、13…セル列設定領域、14…トラック設定領域、15…横バス電源配線、16…縦バス電源配線、17…周回電源配線、18…I/Oバッファ、19…周回部分、20…回

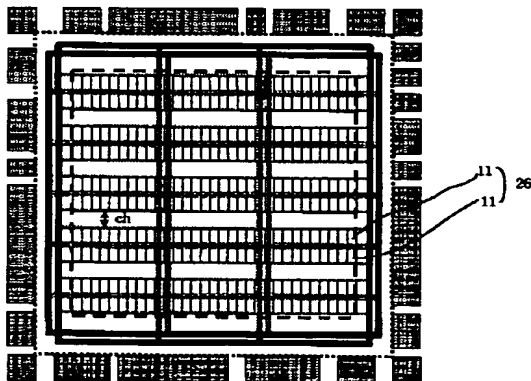
【図1】



【図3】



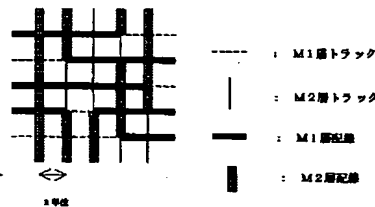
【図9】



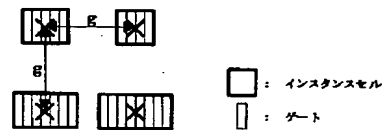
20

路情報、21…ライブラリ情報、22…レイアウト方式情報、23…配線ツール情報、24…プリミティブセルのトラック設定領域、25…全体のトラック設定領域、26…セル列段。

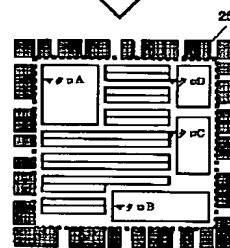
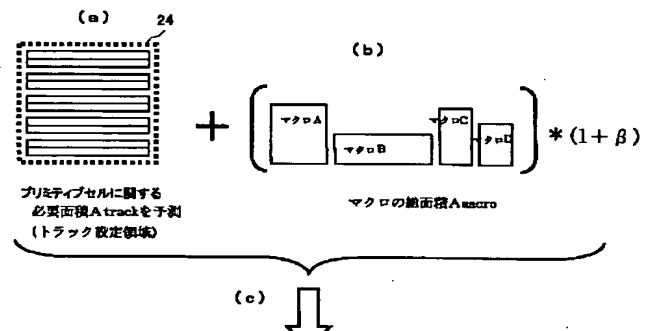
【図2】



【図4】



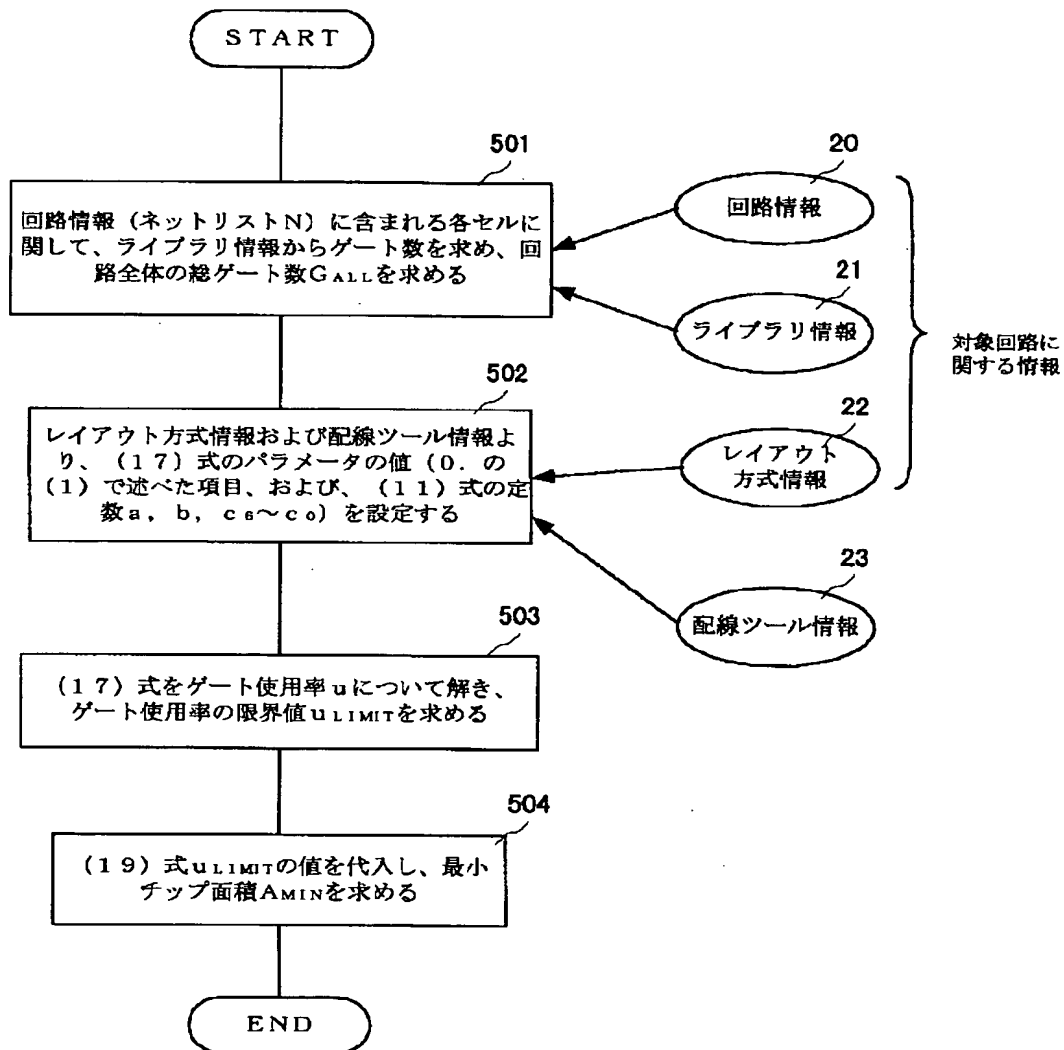
【図8】

チップ全体の面積A<sub>est</sub>の予測

【図10】

レベル	0	1	2
① 熟練度	低い	普通	高い
② 設計時間	短い	普通	十分
③ タイミング制約	厳しい	普通	緩い

【図 5】

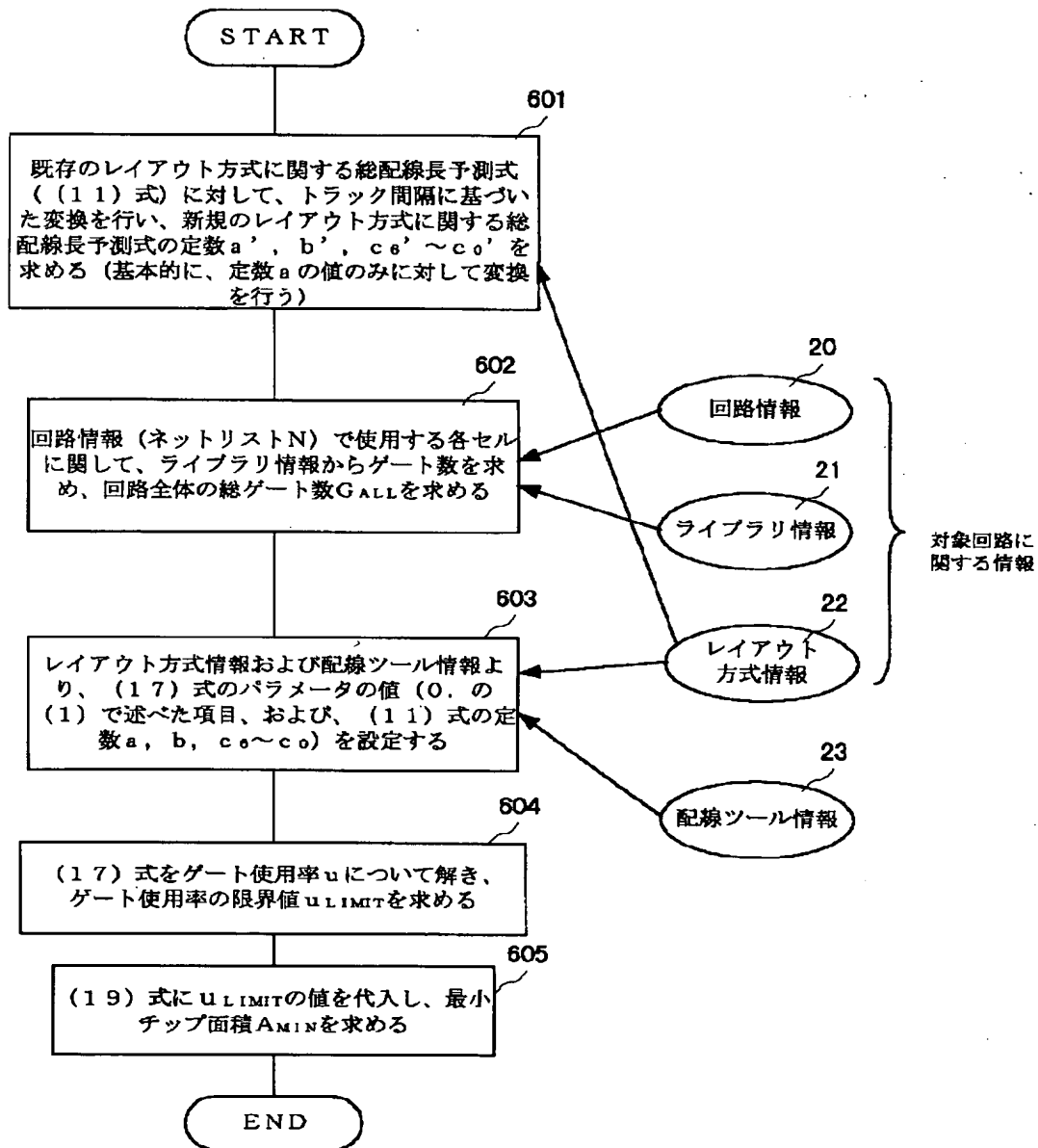


【図 11】

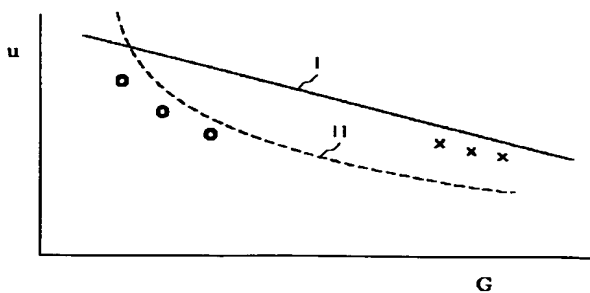
回路名	ゲート数 (=G)	記録回路数 (=C)	セル利用数 (トラップ数) (=chA-1)	ゲート使用率 (%)			チップ最小領域サイズ (mm <sup>2</sup> )			レイアウト可否判定			各項目	
				算出予測	実測予測	実測値	算出予測	実測予測	実測値	算出予測	実測予測	実測値	トラップ設定領域 サイズ (mm <sup>2</sup> )	セル利用数 (=chB/A-1)
DATA 3	1301428	3	8	71.53%	31.53%	22.81%	8.02	9.01	8.98	○	×	×	8.28	9
DATA 4	2229421	3	9	75.57%	42.87%	65.35%	9.82	13.81	10.25	○	×	×	8.94	15

従来のゲート使用率の予測式:  $u = (0.7293 - 1 \times 10^{-8} \times G) \times 100\%$

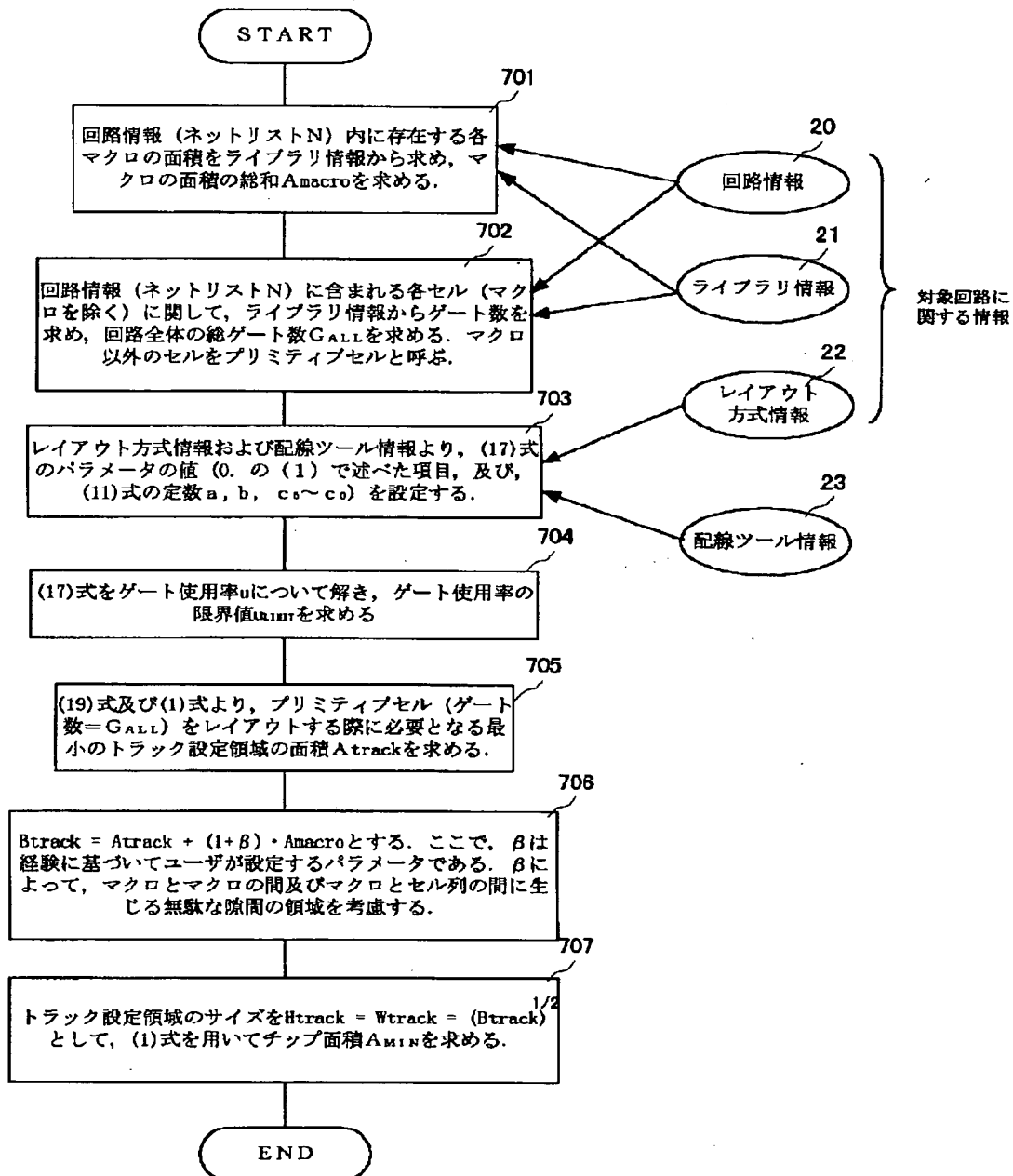
【図 6】



【図 13】



【図 7】



【図 1 2】

